

I2C 通訊故障分析



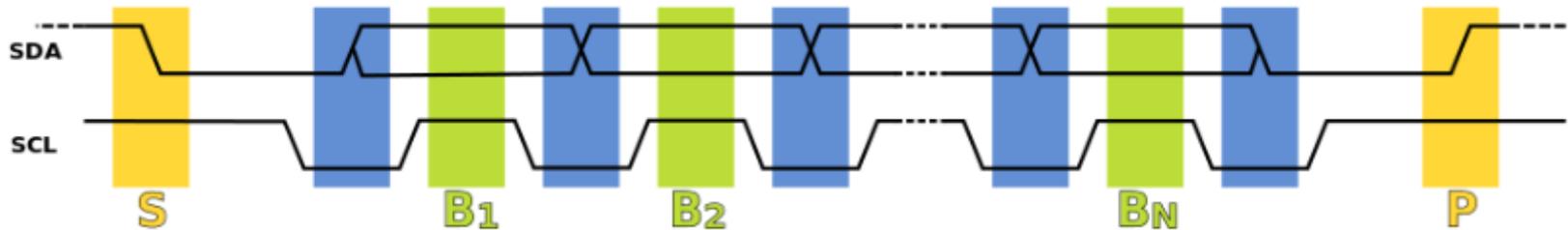
Reported: 台北工程部

Date: May 26th 2022

Update :



- I2C History ?
- I2C PHY
- Byte 傳輸及 ACK/NACK 機制
- Read/Write 步驟
- 實際案例說明

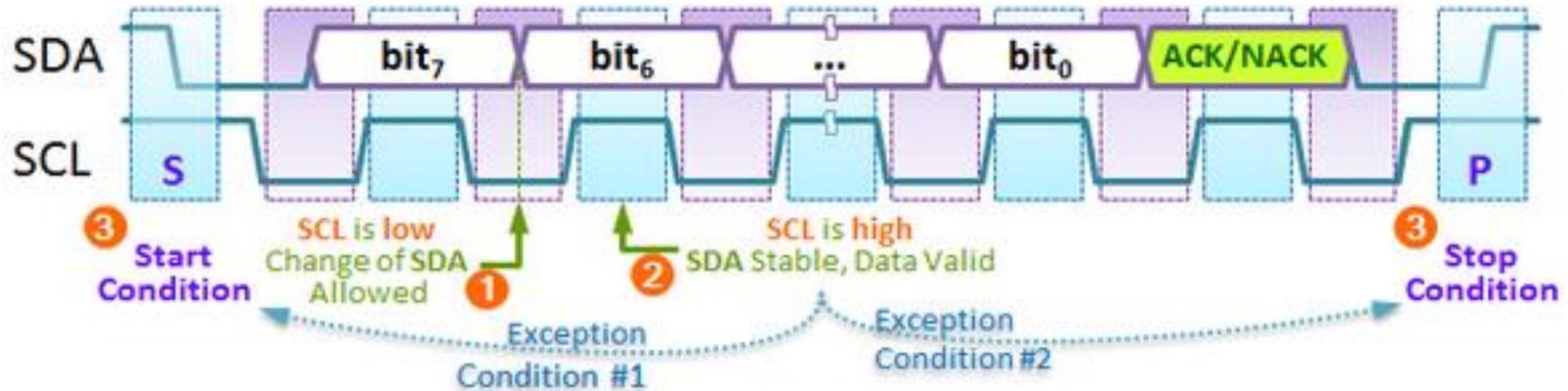


Hardware :

1. 透過2隻訊號線 (SDA ,SCL) 讓IC 做溝通 。
2. 當無通訊時， SDA/SCL 須維持在 H 準位， 所以會透過外部電源 Pull high， 上拉電阻為 4.7K ohm or 10K ohm

Bit rate :

- Low speed mode : 10Kbit /s
- Fast speed mode : 400Kbit/s
- Fast speed + mode : 1Mbit/s
- High speed mode : 3.4Mbit/s
- Ultra High speed mode : 5Mbit/s

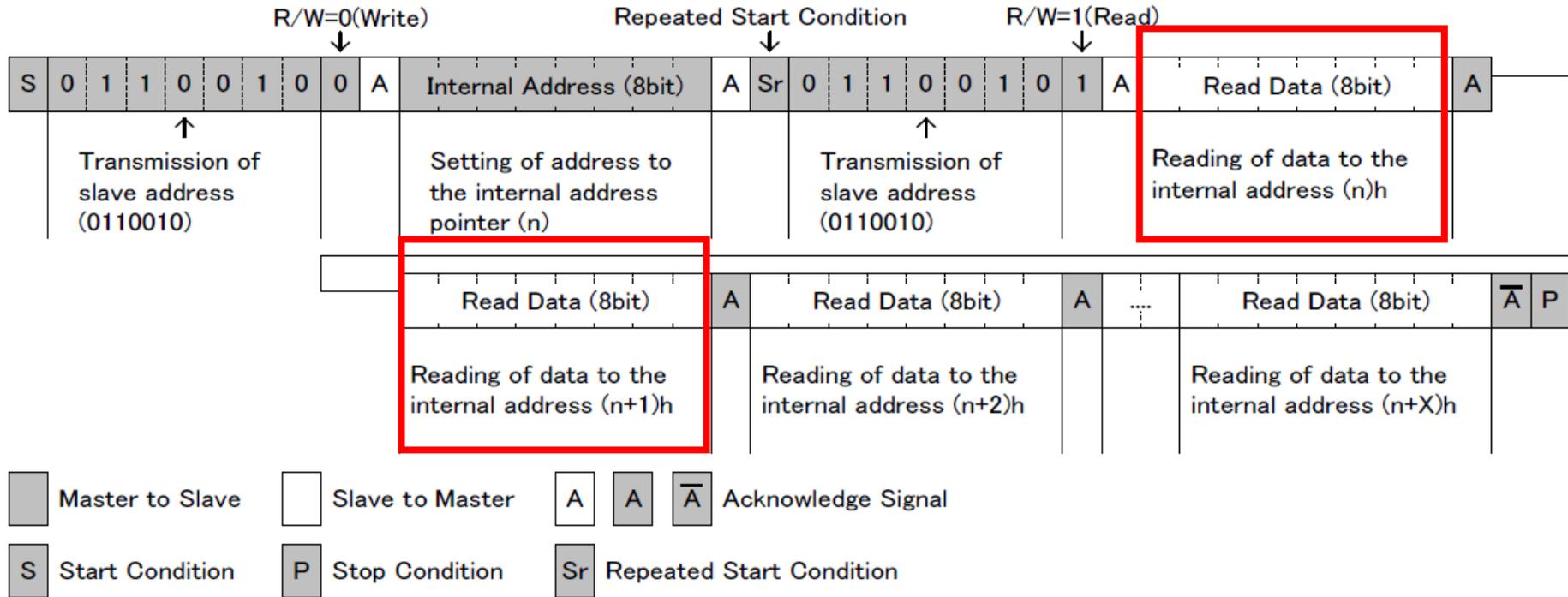


1. SCL 為 Low 時, SDA 可以改變資料. 如上圖標示 ① 的位置.
2. SCL 為 High 時, SDA 必需保持訊號穩定, 不可以改變, 以方便 Master 讀取(栓鎖)資料. 如上圖標示 ② 的位置.
3. SCL 為 High 時, 如果 SDA 有變動則視為特殊狀況:
Start (啟始, SDA 由 High 轉為 Low) 或
Stop (結束, SDA 由 Low 轉為 High). 如上圖二個標示 ③ 的位置.



Byte 傳輸及 ACK/NACK 機制

AENEAS



I²C Bus 協定在傳輸的內容上也有明確的規定:

除了 Start (啟始) 和 Stop (結束) 二個訊號之外, 所有的訊號傳輸固定 8 bits (1 Byte) 為一組, msb (Most Significant Bit) 先送出.

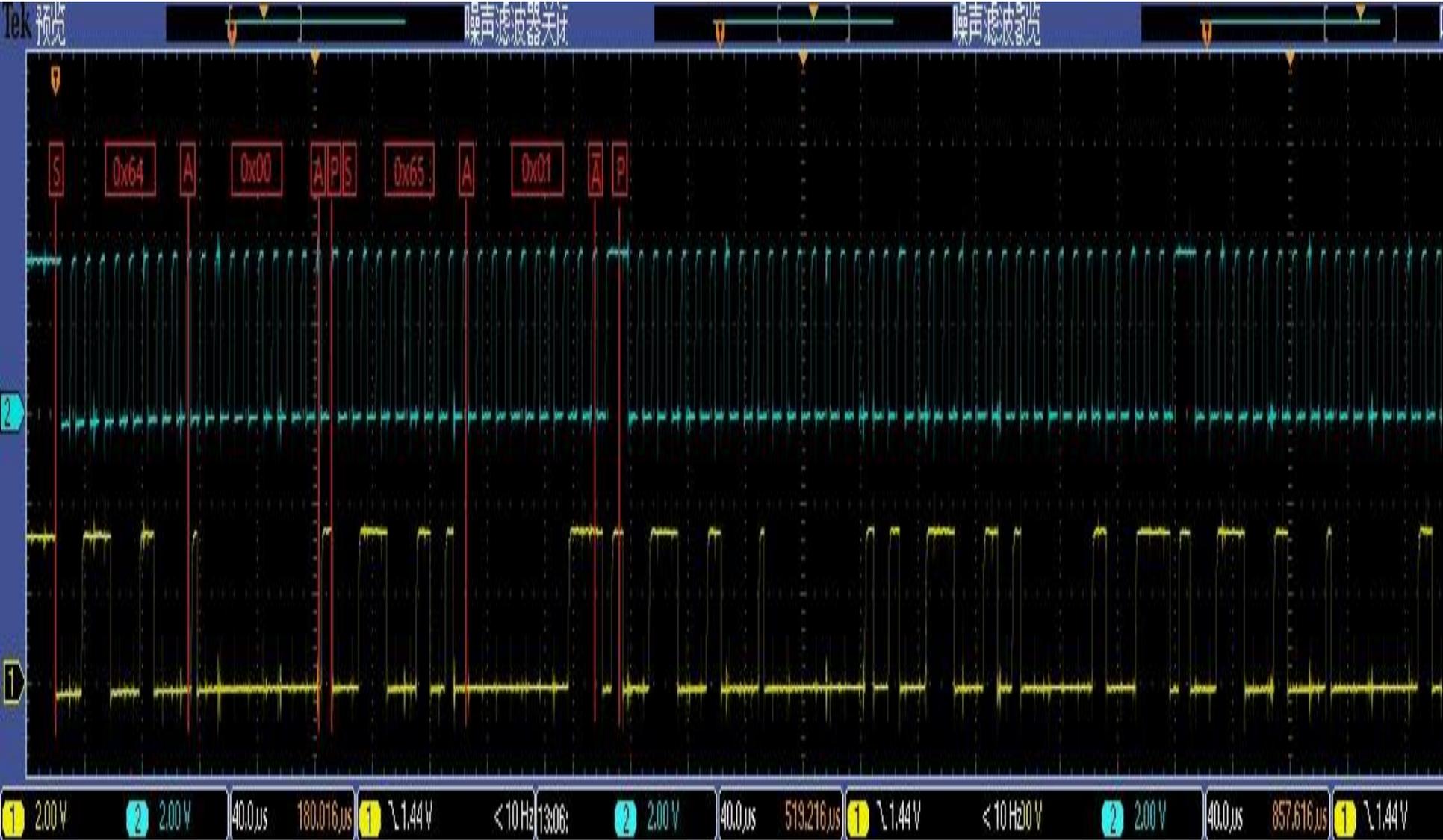
發送端在每組 (8 bits) 訊號送出後, 需讀取接收端所回應的一個 ACK bit (訊號為 Low) 或者 NACK bit (訊號為 High).

(注意: 發送端不一定是 master. 例如: 讀取資料時, 發送端為 slave)



Read 實際量測圖 (Pass case):

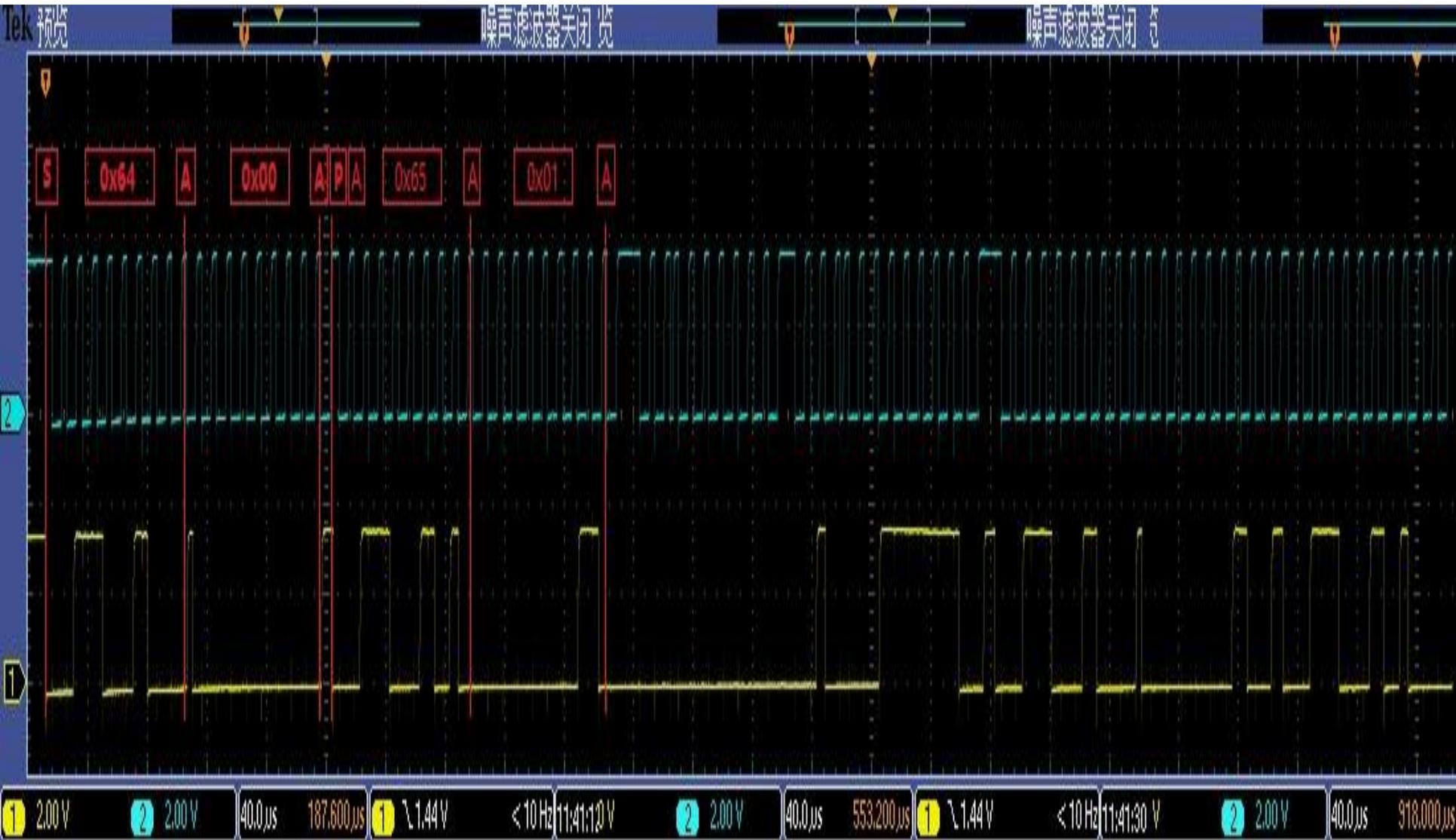
AENEAS





Read 實際量測圖 (Fail case):

AENEAS





For details please contact...

AENEAS

F AE team

aeneas_fae@aeneas.com.tw





Thank You

AENEAS

